

УДК 523.164

ЦИФРОВОЙ АНАЛИЗАТОР СПЕКТРА ДЛЯ ПРИЕМНОЙ СИСТЕМЫ ССРТ

Н.О. Мыррина, А.А. Муратов

THE DIGITAL SPECTRUM ANALYZER FOR THE SIBERIAN SOLAR RADIO TELESCOPE (SSRT) RECEIVING SYSTEM

N.O. Myrrina, A.A. Muratov

В докладе сообщается о разработке цифрового анализатора спектра в качестве возможной замены существующего акустооптического спектрального анализатора. Основная задача состояла в разработке устройства реального времени, перекрывающего частотный диапазон в 110 МГц. Данное устройство реализуется на ПЛИС семейства «Stratix II» фирмы «Altera». Принцип работы этого анализатора строится на основе 1024-точечного алгоритма быстрого преобразования Фурье (БПФ) по основанию 4 в реальном времени; в схеме применен поточный метод построения. Устройство в сравнении с существующим акустооптическим анализатором обладает более высокой стабильностью и отсутствием неравномерности передаточной характеристики.

The real-time digital spectrum analyzer is presented. This analyzer is alternative to the acousto-optical spectrum analyzer being used at the SSRT now. The main issue was to develop a real-time device operating in the frequency range of up to 110 MHz. The performance of the digital spectrum analyzer was the pipeline radix-4 1024-point fast Fourier transform in real time. This device is fitted in single Altera Stratix II FPGA chip. In comparison with the acousto-optical spectrum analyzer, this device has a higher stability and its frequency-response characteristic does not have irregularities.

Преобразование Фурье. ДПФ. БПФ

Спектральный анализ – один из методов обработки сигналов, который позволяет охарактеризовать частотный состав измеряемого сигнала. Преобразование Фурье (1) «переносит» сигнал из временной области в частотную. Для дискретных (цифровых) комплексных сигналов формула преобразования следующая:

$$X(k) = \frac{1}{N} \sum_{n=0}^{N-1} x(n) \exp(-j2\pi nk / N). \quad (1)$$

При введении поворачивающего множителя формула (1) имеет вид

$$X(k) = \frac{1}{N} \sum_{n=0}^{N-1} x(n) W_N^{nk}, \quad (2)$$

где $0 \leq k \leq N-1$, $W_N = \exp(-2\pi j / N)$ – поворачивающий множитель, N – число отсчетов в выборке, $x(k)$ – отсчеты в частотной, $x(n)$ – отсчеты во временной области.

БПФ является эффективным вычислением дискретного преобразования Фурье (ДПФ). Оно требует значительно меньше вычислений: для ДПФ – N^2 операций, для БПФ – $(N/2)\log_2(N)$ (при основании = 2). Следовательно, затрачивается меньше ресурсов и времени на преобразование, разница особенно заметна в преобразованиях с большим количеством точек (например, 1024 и более). Алгоритмы БПФ могут быть различными, рассмотрим реализацию одного из них.

Постановка задачи

Перечислим требования к цифровому анализатору:

- реализация алгоритма БПФ в реальном времени;
- разрешение по амплитуде 12 бит;
- число частотных каналов 512;
- частотный диапазон входных данных 110 МГц.

Реализация цифрового анализатора

Для реализации данного анализатора был выбран

алгоритм 1024-точечного БПФ по основанию 4 с прореживанием по частоте и поточный метод построения схемы. Базовая операция «бабочка» для алгоритма с основанием 4 с прореживанием по частоте представлена на рис. 1, базовые уравнения представлены в формуле (3).

$$\begin{cases} A = aW_N^{0q} + bW_N^{0q} + cW_N^{0q} + dW_N^{0q}; \\ B = (aW_N^{1q} - cW_N^{1q}) - j(bW_N^{1q} - dW_N^{1q}); \\ C = (aW_N^{2q} - bW_N^{2q} + cW_N^{2q} - dW_N^{2q}); \\ D = (aW_N^{3q} - cW_N^{3q}) + j(bW_N^{3q} - dW_N^{3q}). \end{cases} \quad (3)$$

Важной особенностью данного анализатора спектра является применение поточной схемы в его структуре, это дает возможность получать спектральное преобразование в реальном времени. Условие функционирования преобразователя в реальном времени выполняется, если в тот момент времени, когда на вход преобразователя начинает поступать второй пакет данных, на его выходе уже готов результат в виде первой пары (для комплексного сигнала) отсчетов первого пакета данных. Поточный метод построения схемы БПФ изображен на рис. 2. Весь процесс 1024-точечного преобразования по основанию 4 можно разделить на пять этапов (рис. 2). На первом этапе 1024-точечная выборка разбивается на 4 по 256 отсчетов, далее при помощи линий задержки каждая из них смещается относительно другой на $1/4$ (т. е. на 64 такта) – это необходимо для совмещения первых отсчетов 256-точечных

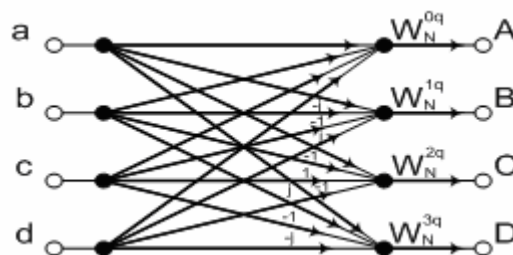


Рис. 1. Базовая операция «бабочка» для алгоритма по основанию 4.

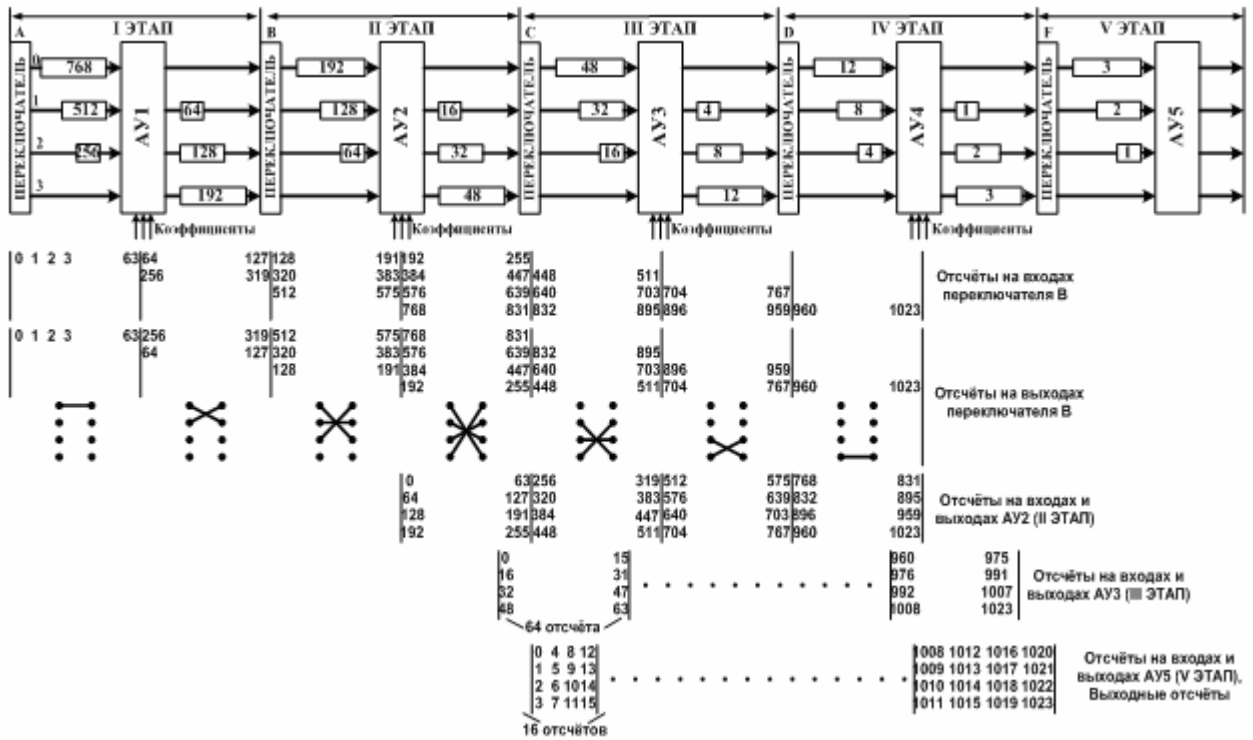


Рис. 2. Поточная схема 1024-точечного БПФ по основанию 4.

выборки. Затем подготовленные выборки обрабатываются арифметическим устройством (АУ1). АУ осуществляет операции сложения, вычитания и домножения на поворачивающие множители, другими словами, служит для выполнения базовой операции «бабочка». Затем данные снова проходят через линии задержки, но здесь число тактов сдвига меньше в 4 раза и составляет 64; совместно с переключателем, который «переставляет» части 256-точечных выборок местами, линии задержки создают определенный порядок следования данных для осуществления следующей базовой операции. От этапа к этапу длина линии задержки уменьшается в 4 раза, частота переключения ключа возрастает в 4 раза. Отсчеты на выходе преобразователя расположены в четверично-инверсном порядке.

Рассмотрим функциональную схему БПФ (рис. 3). На первом этапе на вход сдвигового регистра поступает 12-битная 1024-точечная выборка, из нее формируется четыре потока, каждый задержан относительно предыдущего на 256 тактов, на последующих этапах требуется два сдвиговых регистра (сигнал становится комплексным), при этом значение сдвига уменьшается в 4 раза. После сдвигового регистра потоки поступают на арифметическо-логическое устройство (АЛУ). АЛУ служит для выполнения базовой операции: складывает, вычитает, а также перемножает данные с поворачивающими множителями. Комплексность преобразования усложняет схему АЛУ, поэтому на этапах II, III, IV в его схему добавляются еще блоки. Комплексные 12-битные поворачивающие множители хранятся в ROM-памяти, на этапе I их количество равно

$$3 \times 2 \times 256 = 1536,$$

где 3 – основание 4, 2 – комплексность. На каждом последующем этапе это количество уменьшается в

четыре раза, на этапе V (последнем) ROM не требуется. Язык Verilog не поддерживает плавающую точку, поэтому поворачивающие коэффициенты домножены на 1024 (три значимых разряда после запятой), и после АЛУ располагается устройство «обрезающее» 10 разрядов. Результаты базовой операции заносятся в RAM, откуда считываются в необходимом порядке. Применение блоков памяти взамен регистров способствует повышению частоты работы дизайна. Блок CONTROL формирует сигналы глобального счета, адреса считывания, записи, а также сигналы разрешения записи/считывания для RAM/ROM. После блоков RAM расположен блок параллельно-последовательного преобразования – устройство работает как ключ, из четырех потоков формируется один. Разрядность данных на каждом этапе растет, поэтому на II, III, IV этапах следующее устройство – блок, отслеживающий разрядность. Если число разрядов >14, то вся последующая 1024-точечная выборка делится на величину, пропорциональную степени 2 (если число разрядов 15, то на два, 16 – на 4 и пр.). При этом величина-делитель от каждого этапа (alpha_coeff, beta_coeff, gamma_coeff) сохраняется до конца всего преобразования, далее, по завершении базовой операции и формирования общего комплексного потока на V этапе, 1024-точечная выборка домножается на величину, равную произведению всех трех величин-делителей. Вычисляется спектр мощности. На выходе преобразователя – 32-битные данные. Данное преобразование осуществляется без перекрытия выборок.

Затраченные ресурсы FPGA 2S60F1020C3:

- 1886 регистров (4 %);
- 77 кбит памяти (3 %);
- 96 9-битовых DSP-блоков (33 %).

На данный момент достигнуты следующие резуль-

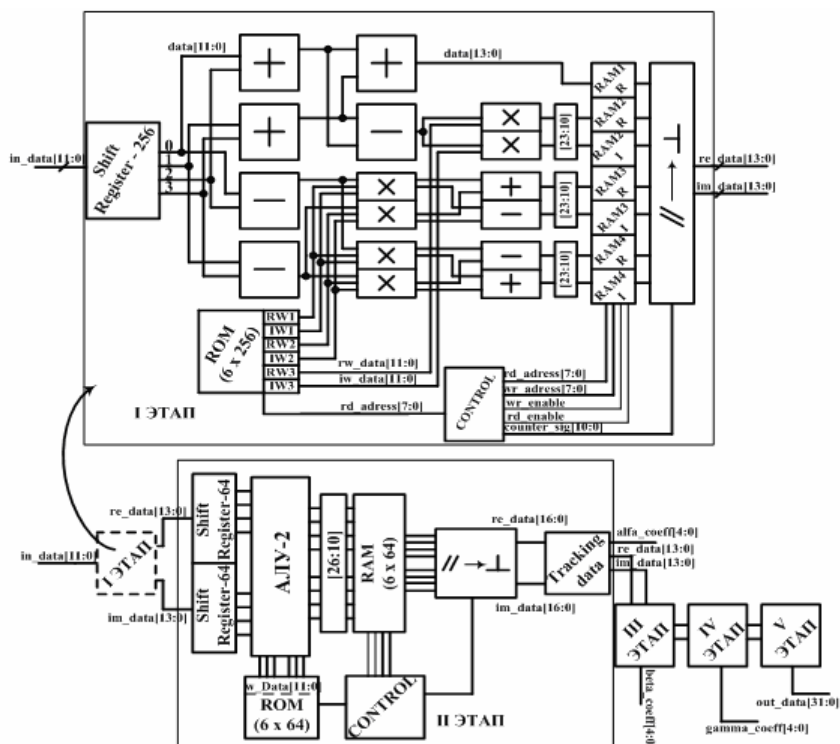


Рис. 3. Структурно-функциональная схема 1024-точечного БПФ по основанию 4, реализованная на FPGA «Stratix 2S60F1020C3» «Altera».

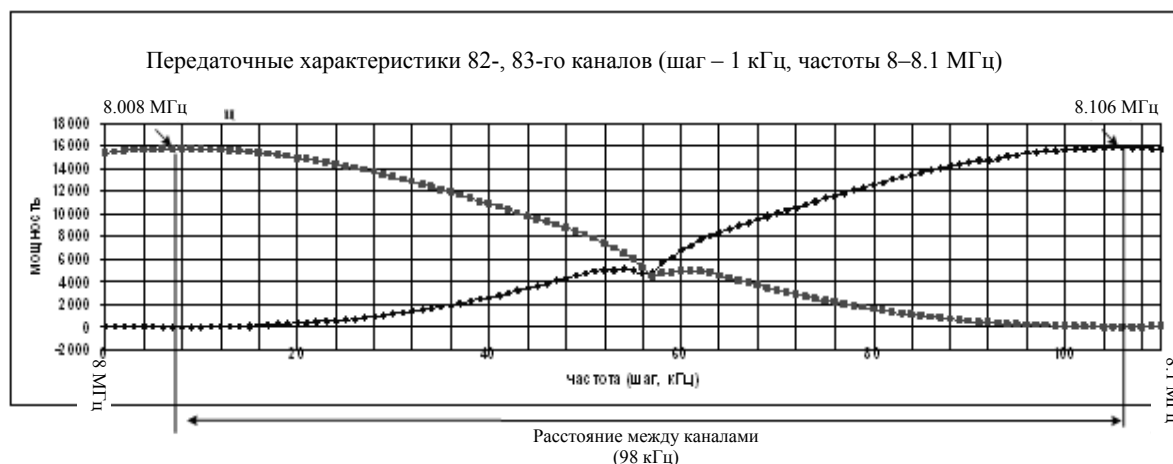


Рис. 4. Передаточные характеристики 82-го, 83-го каналов цифрового анализатора спектра.

таты: разрядность входных данных 12 бит; тактовая частота устройства составила 250 МГц, следовательно, перекрыт диапазон входных данных в 110 МГц; преобразование осуществляется в реальном времени. К тому же цифровой анализатор спектра обладает высокой стабильностью и равномерной передаточной характеристикой. На рис. 4 изображены передаточные характеристики двух каналов, снятые при тактировании схемы 100 МГц, в полосе частот от 8 до 8.1 МГц с шагом 1 кГц.

СПИСОК ЛИТЕРАТУРЫ

1. Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов: Пер. с англ. М.: Мир, 1978. 835 с.
2. Гольденберг Л.М., Магюшкин Б.Д., Поляк М.Н. Цифровая обработка сигналов. М.: Радио и связь, 1990. 256 с.
3. http://www.kit-e.ru/articles/plis/2000_04_52.php.

Институт солнечно-земной физики СО РАН, Иркутск