

УДК 523.164

ПРОЕКТ КОРРЕЛЯТОРА ДЛЯ МНОГОВОЛНОВОГО РАДИОГЕЛИОГРАФА

Н.О. Мымрина, А.А. Муратов

THE MULTIWAVE RADIOHELIOGRAPH CORRELATOR

N.O. Mymrina, A.A. Muratov

Одной из поставленных задач на текущем этапе модернизации ССРТ является создание коррелятора для 192-антенной решетки, работающей в полосе от 4 до 8 ГГц. В свою очередь, эта задача подразделяется на два этапа: первый – создание устройства, способного получать функции кросскорреляции для всех парных комбинаций антенн 192-элементной решетки одновременно, и второй – разработка шины данных коррелятора. Коррелятор предполагается реализовать на нескольких FPGA семейства «Stratix IV» фирмы «Altera». В качестве шины данных коррелятора рассматривается возможность использования сети Ethernet.

Creation of a correlator for 192-antenna array functioning in 4–8 GHz range is one of issues on the current stage of the SSRT modernization. This issue consists of two points: the first is to design a device that could calculate cross-correlation functions from all pair combinations for the 192-element array simultaneously; the second one is to create a correlator data bus. The correlator is supposed to be designed on the Altera Stratix IV FPGAs. There is a possibility to use the LAN Ethernet as the correlator data bus under consideration.

Проектирование коррелятора

В основе получения изображения Солнца на новом радиогелиографе будет лежать принцип апертурного синтеза. Т-образная 192-антенная решетка радиогелиографа будет работать в полосе частот 4–8 ГГц, а коррелятор обрабатывать сигналы в полосе частот 5–15 МГц от всех 192 антенн и получать функции кросскорреляции для всех их парных комбинаций. Далее все полученные функции обрабатываются удаленным компьютером, результатом данной обработки является изображение Солнца.

Для синтеза изображения необходимо получить распределение функций видности (uv -плоскость), а для этого необходимо найти функции кросскорреляции для всех парных комбинаций антенн. Для одной парной комбинации антенн функция кросскорреляции будет выглядеть следующим образом:

$$r(\tau) = \sum_0^T [\operatorname{Re}\{V_1(t)\} \operatorname{Re}\{V_2(t-\tau)\} - j(\operatorname{Re}\{V_1(t)\} \operatorname{Im}\{V_2(t-\tau)\})].$$

Из формулы следует, что для построения одной элементарной ячейки коррелятора нам понадобится два умножителя и сумматор. Подсчитаем количество функций кросскорреляции (см. рис. 1).

На рис. 1 представлены схема расположения 192 антенн Т-образной решетки и соответствующая ей матрица корреляций, содержащая функции для всех парных комбинаций антенн, арабскими цифрами обозначены номера антенн, заглавными буквами – стороны света, соответственно С-Ю – направление север-юг, З-В – запад-восток. Рассмотрим изображение справа: в прямоугольнике (сектор I) расположены функции кросскорреляции между парами антенн перпендикулярных лучей, по этим функциям непосредственно будет строиться изображение; в треугольниках (сектор II) – функции, которые будут использоваться для калибровки; на диагонали лежат функции автокорреляции – для вычисления мощности сигнала. Таким образом, нам необходимо вычислить 18 528 функций. Схема коррелятора будет строиться на основе FPGA семейства «Stratix IV», выбор FPGA обусловлен скоростью вычислений,

способностью к обработке больших массивов данных с большой скоростью, а также возможностью осуществлять подведение к ней сигналов посредством современных высокоскоростных линий передачи (в нашем случае это 10-гигабитная линия Ethernet 10GBE-CX4) благодаря наличию в структуре данной FPGA высокоскоростных приемопередатчиков. Ранее рассматривались различные конфигурации с разным числом FPGA. С учетом тактовой частоты коррелятора (она составляет 30 МГц), количества функций, необходимых для вычисления (18 528), разрядности входных сигналов (составляет 3 бита) и количества ресурсов, необходимых для вычисления кросскорреляционной функции для пары антенн, предварительно для создания коррелятора было решено использовать 3 FPGA «Stratix IV». Ресурсы FPGA, необходимые для обработки 6400 функций (т. е. примерно 1/3 от всех), составят:

- 153 000 регистров (36 % от общего количества расположенных на FPGA);
- 258 000 ячеек памяти (1.2 % от общего количества расположенных на FPGA);

Прошивка для FPGA выполнена в программном обеспечении «Quartus II» фирмы «Altera», на языке Verilog. Ввиду сложности разводки, на одной печатной плате решено расположить одну FPGA.

Построение шины данных от плат цифровых приемников до коррелятора

Не менее важным вопросом является подведение 3-битных комплексных сигналов от всех 192 антенн одновременно. Рассчитаем количество 1-битных сигналов, подводимых к коррелятору:

192 (количество антенн) $\times 2$ (комплексный сигнал) $\times 3$ (разрядность входных сигналов) = 1152 (однобитных сигнала или проводника).

Максимальная частота каждого такого сигнала (проводника) составляет 15 МГц, при этом все сигналы должны подходить к коррелятору строго в один момент времени (чтобы избежать изменения фазы). На данный момент существует множество различных решений по созданию линий высокоскоростной передачи данных. Предварительно решено

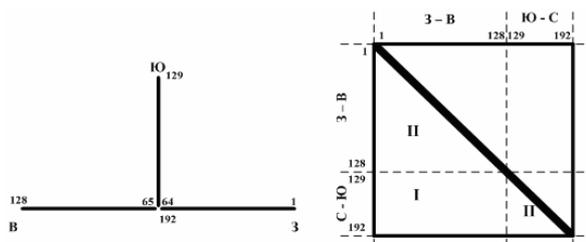


Рис. 1. Схема расположения 192 антенн нового радиогелиографа (слева) и матрица кросскорреляций всех парных комбинаций антенн (справа).

использовать следующую схему (рис. 2) подведения сигналов от плат цифровых приемников к платам коррелятора.

При построении данной шины (рис. 2) применяются два стандарта – Ethernet 1000BASE-T для гигабитной передачи данных и 10GB-CX4, поддерживающий интерфейс XAUI (четыре дифференциальных пары, каждая обеспечивает 3.125 Гбит/с), посредством которого происходит 10-гигабитная передача данных. Наличие кодирования 8b/10b (XAUI), дифференциальной пары, а также большого запаса по скорости способствует надежной передаче данных. Медная среда имеет более низкую цену в сравнении с оптической, но длина медной линии связи сильно ограничена (до 15 м) в сравнении с оптической (десятки км) – оба эти условия учитывались при выборе линии передачи. Рассмотрим блоки схемы:

1. Плата цифрового приемника (ЦП) обрабатывает сигналы, пришедшие от антенн, передает их по гигабитной линии Ethernet со скоростью 360 Мбит/с (такую скорость мы получаем, так как сигналы 3-битные комплексные с двух антенн, скорость 1-битного сигнала считаем 30 Мбит/с, итого $3 \times 2 \times 30 = 360$ Мбит/с). В схеме 96 плат ЦП.

2. Сигналы попадают в коммутатор SW1 (этот коммутатор «Cisco Catalyst 3560-E» имеет 24 порта 1000BASE-T Ethernet и 2 порта 10GBE-CX4), который служит для объединения сигналов в 10-гигабитную линию. В схеме четыре коммутатора SW1.

3. Посредством 10-гигабитного Ethernet сигналы передаются в коммутатор SW2, скорость потока в одной 10-гигабитной линии составляет $12 \times 360 = 4.320$ Гбит/с (объединение сигнала с 12 портов SW1). Коммутатор SW2 порядка «Cisco Catalyst 4900M» имеет 24 порта 10-гигабитного Ethernet, это устройство необходимо для «тиражирования» потоков, так как на разные платы необходимо подавать несколько совпадающих потоков (один поток содержит сигналы с 24 антенн). В схеме два коммутатора SW2.

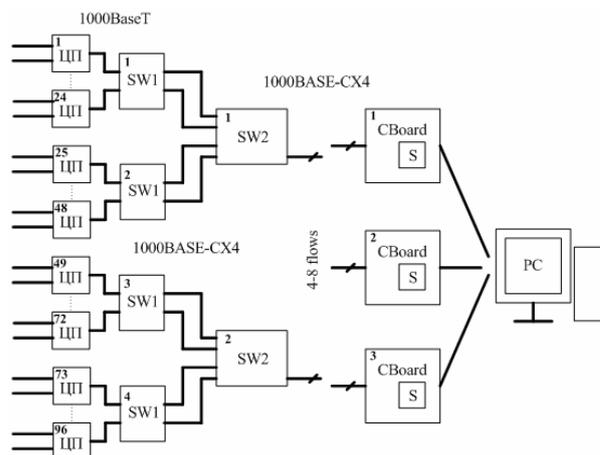


Рис. 2. Интерфейс шины данных, обеспечивающей подведение сигналов от плат цифровых приемников к платам коррелятора.

4) Далее на каждую из трех плат коррелятора (CBoard) будет подаваться от 4 до 8 потоков данных, FPGA «Stratix IV» (S) будет распаковывать эти потоки (согласно протоколу для 10GBE-CX4 XAUI), обрабатывать принятые данные, получив из них функции кросскорреляции, и отправлять их посредством 1-гигабитного Ethernet на удаленный компьютер (PC).

Все полученные в результате функции кросскорреляции будут накапливаться и передаваться на удаленный компьютер посредством гигабитного Ethernet, далее при помощи специального программного обеспечения будут строиться изображения Солнца. В заключение отметим, что в данном докладе рассмотрена лишь одна из возможных схем коррелятора и подведения сигналов, в настоящий момент также рассматриваются способы подведения сигналов через шину PCI «Express 2.0» и USB 3.0.

СПИСОК ЛИТЕРАТУРЫ

1. Томпсон Р., Моран Дж., Свенсон Дж. Интерферометрия и синтез в радиоастрономии: Пер. с англ. М.: Мир, 1989.
2. <http://www.altera.com/literature/po/ss-40g100g.pdf>.
3. http://www.altera.com/literature/manual/rm_sivgx_fpga_dev_board.pdf.
4. http://en.wikipedia.org/wiki/10_Gigabit_Ethernet.
5. <http://fpgablog.com/posts/10-gbe-xaui-protocol/>.
http://www.cisco.com/en/US/prod/collateral/switches/ps518/ps7078/.product_data_sheet0900aecd805bac22.html.
7. <http://www.cisco.com/en/US/products/ps6021/index.html>.

Институт солнечно-земной физики СО РАН, Иркутск